
Curriculum Vitae
Maître de Conférences Dr.-Ing. Habil.
Rabie Ben Atitallah

Université de Valenciennes et du Hainaut-Cambrésis
Laboratoire d'Automatique, de Mécanique et d'Informatique
industrielles et Humaines (LAMIH) UMR 8201
Département Informatique, Equipe OPTIMOB

23 février 2018

TABLE DES MATIÈRES

1 Curriculum Vitae	3
1.1 Formation	3
1.2 Parcours Professionnel	3
2 Activités d'enseignement	4
2.1 Service réalisé 2009-2018	4
2.2 Description des principaux enseignements	4
2.3 Responsabilités liées à l'enseignement	7
3 Activités de recherche	7
3.1 Évaluation PEDR session 2014	8
3.2 Publications et production scientifique	8
3.3 Encadrement doctoral et scientifique	12
3.4 Responsabilités scientifiques	15
3.5 Rayonnement scientifique	16

1 CURRICULUM VITAE

Nom de famille : Ben Atitallah

Prénom : Rabie

Date de naissance : 13/10/1978 à Sfax (Tunisie)

Nationalité : Française

Grade : Maître de Conférences 6^{ème} échelon, Habilité à Diriger des Recherches

Section CNU : 27, Informatique

Établissement d'affectation : Université de Valenciennes et du Hainaut-Cambrésis (UVHC), Laboratoire d'Automatique, de Mécanique et d'Informatique industrielles et Humaines (LAMIH) UMR UVHC/CNRS 8201

Adresse : Université de Valenciennes, LAMIH-Malvache, Le Mont Houy, 59313 Valenciennes Cedex 9 France

Tél. : +33 (0)3 27 51 19 47

Fax : +33 (0)3 27 51 19 40

Mail : Rabie.BenAtitallah@univ-valenciennes.fr

Page web personnelle : <http://www.rabie-ben-atitallah.com/>

1.1 FORMATION

- **2009-2014 • Habilitation à Diriger les Recherches en Informatique** de l'Université de Valenciennes et du Hainaut-Cambrésis. Habilitation soutenue le 04 décembre 2014 sous le titre « Reconfiguration dynamique et conception faible consommation : vers des systèmes embarqués massivement parallèles auto-adaptatifs » avec la composition du jury suivant :
 - Patrick Garda, Professeur à l'Université Pierre & Marie Curie (Rapporteur)
 - Dragomir Milojevic, Professeur à l'École polytechnique de Bruxelles (Rapporteur)
 - Loïc Lagadec, Professeur à l'ENSTA Bretagne (Rapporteur)
 - Michel Auguin, Directeur de recherche CNRS, Université de Nice-Sophia Antipolis (Examineur)
 - Jean-Luc Dekeyser, Professeur, Université de Lille 1 (Examineur)
 - Abdelhakim Artiba, Professeur, Université de Valenciennes (Promoteur)
 - Nicolas Belanger, Docteur, Manager Innovation Airbus Helicopters (invité)
- **2004-2008 • Doctorat en Informatique** de l'Université des Sciences et Technologies de Lille (USTL) au sein de l'EPI (Equipe-Projet INRIA) DaRT, mention très honorable. Thèse soutenue le 05 mars 2008 sous le titre « Modèles et simulation des systèmes sur puce multiprocesseurs - Estimation des performances et de la consommation d'énergie » avec la composition du jury suivant :
 - Ahmed Amine Jerraya, Directeur de recherche, CEA-LETI (Rapporteur)
 - Olivier Sentieys, Professeur, Université de Rennes I (Rapporteur)
 - Gilles Goncalves, Professeur, Université de Béthune (Examineur)
 - Sami Yehia, Docteur, Thales Research and Technology (Examineur)
 - Jean-Luc Dekeyser, Professeur, Université de Lille1 (Directeur de thèse)
 - Smail Niar, Professeur, Université de Valenciennes (Co-encadrant de thèse)
- **2002-2003 • Master de recherche en Electronique**, option Micro-informatique, à l'Ecole Nationale d'ingénieurs de Sfax (ENIS). Mention très bien.
- **1999-2002 • Diplôme d'ingénieur en Génie Electrique**, option Micro-informatique, à l'Ecole Nationale d'ingénieurs de Sfax (ENIS). Mention bien.

1.2 PARCOURS PROFESSIONNEL

- **Depuis septembre 2009 •** Maître de Conférences à l'Université de Valenciennes et du Hainaut Cambrésis (UVHC) et chercheur du Laboratoire d'Automatique, de Mécanique et d'Informatique industrielles et Humaines (LAMIH) UMR UVHC/CNRS 8201 et chercheur associé à l'INRIA Lille Nord Europe, équipe DaRT jusqu'à décembre 2011, ensuite équipe DreamPal 2012-2016.

- **Octobre 2008-Aout 2009** • Post-doctorant en informatique à l'Université de Valenciennes, Laboratoire LA-MIH, équipe SIADE dans le cadre du Projet ANR PrimaCare.
- **Mars 2008-Septembre 2008** • Post-doctorant en informatique à l'INRIA Lille-Nord Europe, EPI (Equipe Projet INRIA) DaRT dans le cadre du projet Ter@ops du pôle de compétitivité System@tic.
- **Novembre 2004-Février 2008** • Doctorant en informatique à l'USTL au sein de l'EPI DaRT (INRIA Lille-Nord Europe). Bourse dans le cadre du projet européen Interreg III A ModEasy.
- **2005-2009** • Assistant vacataire à Institut des Sciences et Techniques de Valenciennes (UVHC).
- **2003-2004** • Assistant contractuel à l'Institut Supérieure d'Electronique et de Communication de Sfax.
- **2002-2003** • Assistant contractuel à l'Institut Supérieure d'Electronique et de Communication de Sfax.

2 ACTIVITÉS D'ENSEIGNEMENT

2.1 SERVICE RÉALISÉ 2009-2018

Le tableau 2.1 résume mon service d'enseignement réalisé entre 2009 et 2017 à l'Université de Valenciennes et du Hainaut-Cambrésis (UVHC) au sein de l'Institut des Sciences et Techniques de Valenciennes (ISTV), en qualité de maître de conférences en informatique. Par ailleurs, j'assure deux modules d'enseignement à l'école nationale supérieure d'ingénieurs en informatique, automatique, mécanique, énergétique et électronique (ENSIAME) de l'UVHC. Pendant plusieurs années, j'ai réalisé un nombre d'heures d'enseignement supérieur à mon service statutaire pour le bien de la filière Informatique à l'ISTV tout en ayant une activité de recherche productive. En effet à l'ISTV, nous avons besoin d'un nombre d'heures complémentaires supérieur à 3000h pour assurer le déroulement de nos formations en informatique.

TABLE 2.1 – Service réalisé pour la période 2009 - 2018 à l'ISTV

Année universitaire	Heures eq. TD
2009/2010	211
2010/2011	285
2011/2012	310
2012/2013	285
2013/2014	313
2014/2015	203
2015/2016	270
2016/2017	121 (CRCT de 6 mois)
2017/2018	213

En qualité de maître de conférences en informatique, j'assure des enseignements à différents niveaux (Licence et Master), de différentes formes (cours, TD et TP) et pour différentes formations (initiale, continue et apprentissage). Le tableau 2.2 résume l'ensemble de ces enseignements et souligne mon profil fortement lié à la programmation, l'architecture matérielle des systèmes informatiques et la conception conjointe logicielle/matérielle des systèmes embarqués et ceci depuis la Licence 1 jusqu'au Master 2. Par ailleurs, j'ai eu l'occasion d'enseigner un module sur les réseaux et la programmation des systèmes entre 2009 et 2012. Certains enseignements ont nécessité la préparation de l'intégralité des supports de cours, TD, TP et examen. Les supports de cours sont disponibles sur l'outil Moodle de l'UVHC.

2.2 DESCRIPTION DES PRINCIPAUX ENSEIGNEMENTS

ARCHITECTURE DES ORDINATEURS (L1 INFO)

Cet enseignement de base (12h cours, 12h TD et 12h TP) présente les fondements scientifiques de l'architecture matérielle des systèmes informatiques depuis la logique de base jusqu'aux composants essentiels (processeur, mémoire, etc.). Les étudiants maîtrisent la logique combinatoire et séquentielle qui couvrent des fonctionnalités

TABLE 2.2 – Modules enseignés pour la période 2009 - 2018 à l'ISTV

Modules	Niveau	Année	Responsable du module	Cours	TD	TP
Architecture des ordinateurs	L1 - FI	2016-2018	Oui	12	12	12
Algorithmique et programmation langage C	L1 - FI	2013-2015, 2017-2018	Non	9	12	9
Système d'exploitation	L2 - FI	2016-2018	Oui	-	18	-
Introduction aux systèmes d'exploitation et aux architectures des ordinateurs	L2 Info - FI	2009-2015	Oui	15	20	15
Développement des applications informatiques niveau 2	L2 Info - FI	2009-2013	Oui	6	6	12
Structures de données dynamiques	L2 Info - FI	2009-2013	Oui	12	12	12
Algorithmique et programmation impérative	L2 Info - FI	2013-2016	Oui	15	20	15
Architecture des ordinateurs	L3 Info - FI	2009-2012	Non	-	12	-
OS réseaux et programmation des systèmes	M1 IRCOMS	2009-20012	Oui	12	12	-
Plateau projet réseaux	M1 IRCOMS	2009-20012	Oui	-	-	18
Architecture avancée des systèmes informatiques	M1 TNSI - FI et FA	2009-2012	Non	-	12	-
Introduction à l'informatique embarquée	M1 TNSI - FI et FA	2009-2013	Non	6	12	-
Remise à niveau en système d'exploitation et architecture	M2 CCI - FC	2009-2014	Oui	12	12	12
Conception et modélisation des systèmes embarqués	M2 TNSI - FI et FA	2009-2018	Oui	12	6	6
Compilation et développement des applications embarquées	M2 TNSI - FI et FA	2009-2015	Oui	12	6	6

élémentaires tels que les bascules, multiplexeur, compteur, etc. et d'autres de base pour l'architecture comme la mémoire et l'Unité Arithmétique et Logique (UAL). Par ailleurs, cet enseignement introduit les notions d'instruction, codage, assembleur, etc. Le décodage d'adresses des composants mémoire fait aussi partie de ce cours.

ARCHITECTURE ET SYSTÈME D'EXPLOITATION DE BASE (L2 INFO)

Cet enseignement (15h cours, 20h TD et 15h TP) se compose de deux parties introduisant les notions de base des architectures matérielles et des systèmes d'exploitation. Pour la première partie, j'introduis aux étudiants l'architecture des ordinateurs (processeur, mémoire centrale, mémoire cache, bus, etc.), l'architecture RISC via l'exemple du processeur MIPS et le langage VHDL. En travaux dirigés, les étudiants apprennent à coder en VHDL des circuits numériques en utilisant de la programmation combinatoire, séquentielle et structurelle. En travaux pratiques, nous nous appuyons sur l'outil Quartus II ainsi que la carte de développement DE2 70 d'Altera pour réaliser des circuits numériques qui couvrent des fonctionnalités élémentaires tels que bascule, multiplexeur, compteur, etc. et d'autres de base pour l'architecture comme la mémoire et l'unité arithmétique et logique (UAL). Dans la deuxième partie de cet enseignement, j'explique aux étudiants les principales fonctionnalités d'un système d'exploitation en prenant comme exemple l'UNIX, les commandes et langage (structures de contrôle) du Shell et la gestion des processus. A travers plusieurs travaux dirigés et pratiques, les étudiants apprennent à écrire des scripts Shell ainsi que la création et l'ordonnancement des processus.

LES STRUCTURES DE DONNÉES DYNAMIQUES (L2 INFO) ET N1 ENSIAME

L'objectif de cet enseignement (12h cours, 12h TD et 12h TP) est de maîtriser les principales structures de données dynamiques utilisées en programmation à savoir les listes chaînées, les arbres binaires et les graphes. Les étudiants sont sensibilisés aux problèmes de l'occupation mémoire et de l'efficacité algorithmique en programmation itérative et récursive.

ARCHITECTURE DES ORDINATEURS (L3 INFO)

Nous nous intéressons au jeu d'instructions d'un processeur et à la programmation en assembleur. A travers divers exercices (12h TD), ce TD permet aux étudiants de maîtriser la programmation en assembleur en prenant l'exemple du processeur MIPS. Le simulateur XSPIM est utilisé afin d'exécuter le jeu d'instructions du processeur. Dans ce TD, les étudiants réalisent aussi un simulateur de mémoire cache sous forme d'une application en C ou en Java.

OS RÉSEAUX ET PROGRAMMATION DES SYSTÈMES (M1 IRCOMS)

Cet enseignement (12h cours, 12h TD) détaille les fonctionnalités de base du système d'exploitation en relation avec les services réseaux. Il introduit au départ les notions de processus, thread ainsi que les mécanismes de communication inter-processus. Ensuite, les étudiants apprennent à programmer en C les Sockets avec différents modes de communications Client/serveur et en utilisant le service Inetd. D'autres parties sont aussi abordées dans ce cours à savoir le nommage DNS-DHCP, communication sécurisée ainsi que la configuration d'un LDAP.

PLATEAU PROJET RÉSEAUX (M1 IRCOMS)

Le but de ce plateau projet réseaux est de mettre en place une architecture réseau pour une moyenne entreprise en considérant une zone verte et une autre DMZ. Deux types de personnels peuvent se connecter sur le réseaux à savoir les développeurs et les administratifs. L'entreprise doit disposer au minimum des serveurs d'administration du réseau de type DNS, DHCP, messagerie ainsi que son serveur Web et aimerait permettre aux développeurs de se connecter depuis leur domicile.

ARCHITECTURE AVANCÉE DES SYSTÈMES INFORMATIQUES (M1 TNSI)

Cet enseignement consiste à étudier dans une première partie l'architecture avancée du processeur MIPS. Une étude des différents étages fonctionnels, du chemin de données et unités de contrôle est réalisée. Ensuite dans les travaux dirigés (12h TD), les étudiants apprennent à introduire des nouvelles instructions avec les modifications nécessaires au niveau du chemin de données et les signaux de contrôle pour personnaliser l'architecture du MIPS en adéquation avec des tâches spécifiques. La pérennité, la sauvegarde et la sécurité des informations sont les principales priorités de ce projet.

INTRODUCTION À L'INFORMATIQUE EMBARQUÉE

Cet enseignement (6h cours, 12h TD) présente une introduction générale au domaine des systèmes embarqués et expose les architectures des processeurs embarqués à travers l'ARM Cortex-M3. L'objectif est de maîtriser la conception des applications embarquées à base des microcontrôleurs. Dans les travaux dirigés, le système sur puce (SoC) MCB STM32 à base du processeur ARM Cortex-M3 est utilisé. Les étudiants apprennent à écrire des programmes pour un ensemble de périphériques d'entrées/sorties tels que le contrôleur d'interruption NVIC, le bus CAN, etc.

OUTILS DE CONCEPTION DES SYSTÈMES EMBARQUÉS

Mon intervention est composée de 12h de cours, 6h TD et 6h TP pour permettre aux étudiants d'acquérir les bases de la conception conjointe logicielle/matérielle des systèmes embarqués. La modélisation et la simulation des composants logiciels et matériels à différents niveaux d'abstraction sont mises en valeur dans ce module en utilisant

différents outils tels que ISE et Vivado de Xilinx pour le niveau RTL, SystemC pour les niveaux CABA et TLM et MARTE pour le niveau fonctionnel. En travaux dirigés, les étudiants apprennent les techniques de synthèse de haut niveau qui seront utilisées en TP pour concevoir des applications haute performance en se basant sur l'outil Vivado HLS et la plateforme Zybo.

COMPILATION ET DÉVELOPPEMENT DES APPLICATIONS EMBARQUÉES

Cet enseignement (12h de cours, 6h TD et 6h TP) permet d'exposer les leviers d'optimisation lors de l'implémentation des applications sur un système embarqué. Ensuite, il introduit les plateformes virtuelles pour le développement mobiles (J2ME, Android, etc.) en adéquation avec les besoins du système en termes de performances. Sous forme d'un mini-projet, les étudiants développent une application multimédia liée au traitement vidéo en utilisant différentes plateformes virtuelles pour comparer les performances en termes de temps d'exécution et d'occupation mémoire. Ensuite, ils procèdent à une phase d'optimisation de code pour améliorer les performances.

2.3 RESPONSABILITÉS LIÉES À L'ENSEIGNEMENT

- Responsable des enseignements suivants à l'ISTV :
 - Architectures des ordinateurs, L1, Informatique
 - Systèmes d'exploitation, L2, Informatique
 - Structures de données, L2, Informatique
 - Algorithmique et programmation impérative, L2, Informatique
 - Outils de conception des systèmes embarqués, M2, Informatique
 - Développement et compilation des applications embarquées, M2, Informatique
- Responsable pédagogique de la Licence 2 Informatique à l'Institut des Sciences et Techniques de Valenciennes (ISTV) entre 2010 et 2015 (45 étudiants). Les enseignements de cette formation sont organisés sous forme de cours magistral regroupant tous les étudiants, deux groupes de travaux dirigés (TD) et deux groupes de travaux pratiques (TP).
- Membre du comité de sélection de Maître de Conférences en Informatique à l'Université de Valenciennes et du Hainaut Cambrésis (2012)
- Membre du COmité des Experts (CoE) pour la sélection des ATERs en Informatique à l'Université de Valenciennes et du Hainaut Cambrésis (2016-2017)
- Participation au montage des nouvelles maquettes pédagogiques des formations Licence et Master Informatique à l'ISTV pour le quadriennal 2015 – 2019.
- Participation à des jurys et suivi de stages : j'ai participé à différents jurys de soutenances sanctionnant stages (Licence ou Master). J'ai également participé aux jurys de session pour les promotions dans lesquelles je suis intervenu. De plus, j'ai assuré le suivi de stages de Licence 3 et Master 2 en formation initiale, continue et par apprentissage.

3 ACTIVITÉS DE RECHERCHE

- Membre du laboratoire LAMIH UMR CNRS/UVHC 8201 depuis octobre 2008
- Membre associé à l'équipe-projet DreamPal de l'INRIA Lille Nord Europe, janvier 2013 – décembre 2016
- Membre du Laboratoire International Associé LIA CNRS ROI-TML LAMIH-CIRRELT depuis juin 2016
- Membre de la Fédération de Recherche Transports Terrestres & Mobilité FR TTM CNRS 3733
- Membre du réseau d'excellence européen HiPEAC (High Performance and Embedded Architecture and Compilation) depuis 2007
- Membre du Groupe de Recherche (GdR) Systèmes embarqués et objets connectés SOC2

Préambule : Au cours des dernières années, les travaux de recherche que j'ai menés s'inscrivent dans le contexte de conception des systèmes embarqués à haute performance en se basant sur des architectures multiprocesseur sur puce (MPSoC) et des architectures FPGA reconfigurables (voir à reconfiguration partielle). Au niveau du flot de conception, mes travaux sont centrés autour de l'estimation des performances et de la consommation d'énergie dans une perspective d'exploration architecturale en utilisant des plateformes virtuelles ou des outils de synthèse de haut niveau. Sur le plan matériel, mes contributions concernent le développement des architectures multiprocesseur homogènes et hétérogènes CPU/FPGA ainsi que des architectures massivement parallèles dynamiquement reconfigurables. Le domaine d'applications couvre le transport intelligent avec une forte recherche partenariale en collaboration avec Airbus Group, Airbus Helicopters, Nolam Embedded Systems, Navya, etc.

Faits marquants : Innovations (4 brevets), Publications (IEEE transactions et ACM transactions), Transfert technologique (Valutec, SATT Nord), Contrats ANR et industriels (Airbus Group, Airbus Helicopters, Nolam Embedded Systems, etc.), Best paper awards, Prix de la créativité, participation au montage de l'équipe-projet INRIA Lille Nord Europe DreamPal, Montage de projets internationaux ANR et PHC, Animation scientifique d'un groupe de chercheurs.

3.1 ÉVALUATION PEDR SESSION 2014

J'ai présenté ma demande de Prime d'Encadrement Doctoral et de Recherche (PEDR) pour l'année 2014 - 2015. Le dossier de candidature a été étudié par le Conseil National des Universités (CNU) section 27 et classé dans les 20% meilleurs parmi les dossiers examinés avec une note globale A. Les détails des éléments scientifiques d'évaluation sont donnés dans le tableau suivant :

Éléments scientifiques d'évaluation	De la plus grande qualité	Satisfait pleinement aux critères	Doit être consolidé en vue d'une prime	Insuffisamment renseigné
1 - Publications / production scientifique	X			
2 - Encadrement doctoral scientifique	X			
3 - Diffusion des travaux	X			
4 - Responsabilités scientifiques	X			

3.2 PUBLICATIONS ET PRODUCTION SCIENTIFIQUE

BREVETS (3)

B1. Martial Rubio (Airbus Helicopters), Nicolas Belanger (Airbus Helicopters), Rabie Ben Atitallah (LAMIH/UVHC), and Jean-Luc Dekeyser (LIFL/Lille1). "Procédé d'optimisation dynamique d'une architecture d'outils de tests système". (2011) Patent registered at the National Institute of Industrial Properties (Institut National de la Propriété Industrielle (INPI)) under the reference n° B64F5/00 ; G06F11/30 ; G06F15/16. Patent accessible from the website <http://www.inpi.fr/>

B2. Martial Rubio (Airbus Helicopters), Nicolas Belanger (Airbus Helicopters), Rabie Ben Atitallah (LAMIH/UVHC), and Jean-Luc Dekeyser (LIFL/Lille1). (2012) "A method of dynamically optimizing an architecture of system test tools". International patent registered at the Australian Patent Office under the reference n° 2012200402. Patent accessible from the website site <http://www.ipaustralia.gov.au>

B3. George Afonso (Airbus IW), Wenceslas Godard (Airbus IW), Rabie Ben Atitallah (LAMIH/UVHC), and Jean-Luc Dekeyser (LIFL/Lille1). "Système de simulation et de test". (2015) International registered at the National Institute of Industrial Properties under the reference n° WO 2015/097105 A1. Patent accessible from the website <http://www.inpi.fr/>

B4. Zeineb Baklouti (LAMIH/UVHC), Rabie Ben Atitallah (LAMIH/UVHC), Nicolas Belanger (Airbus Helicopters) and Pierre Feyzeau (Airbus Helicopters). "Système de planification de vol hors ligne pour la préparation d'une mission et en ligne face à l'occurrence d'un évènement complexe pour des aéronefs". (2017) Brevet International en cours de dépôt à l'Institut National de la Propriété Industrielle.

REVUES INTERNATIONALES AVEC COMITÉ DE LECTURE (14)

- J1.** BOUAIN M., ALI K., BERDJAC D., FAKHFAKH N., **BEN ATITALLAH R.** An Embedded Multi-Sensor Data Fusion Design for Vehicle Perception Tasks. *Journal of Communications*, Volume 13, Number 1, Pages 8-14, 2018. Doi : 10.12720/jcm.13.1.8-14.
- J2.** **BEN ATITALLAH R.**, VISWANATHAN V., BELANGER N., DEKEYSER J-L. FPGA-Centric Design Process for Avionic Simulation and Test. *IEEE Transactions on Aerospace and Electronic Systems*, DOI : 10.1109/TAES.2017.2733858, July 2017.
- J3.** BEN ABDALLAH F., TRABELSI C., **BEN ATITALLAH R.**, ABED M., Model-driven approach for early power-aware design space exploration of embedded systems, *Journal of Signal Processing Systems*. DOI : 10.1007/s11265-016-1144-3, Volume 87, Issue 3, pp 271–286, June 2017.
- J4.** OUNI B., MHEDBI I., TRABELSI C., BEN ATITALLAH R., BELLEUDY C., Multi-Level Energy/Power-Aware Design Methodology for MPSoC. *Journal of Parallel and Distributed Computing*, Special Issue on Energy Efficient Multi-Core and Many-Core Systems (E2MC2), <http://dx.doi.org/10.1016/j.jpdc.2016.03.013>, Volume 100, Pages 203–215, February 2017.
- J5.** KAMMOUN M., BEN ATITALLAH A., **BEN ATITALLAH R.**, MASMOUDI N. Design exploration of efficient implementation on SoC heterogeneous platform : HEVC intra prediction application. *International Journal of Circuit Theory and Applications*, DOI : 10.1002/cta.2308, December 2016.
- J6.** AIT EL CADI A, SOUISSI O., **BEN ATITALLAH R.**, ARTIBA A, BELANGER N. Mathematical Programming Models for Scheduling in a CPU/FPGA Architecture with Heterogeneous Communication delays. Page(s) : 1 –12, DOI : 10.1007/s10845-015-1075-z, 2015
- J7.** NIKOLAJEVIC K., BELANGER N., DUVIVIER D., **BEN ATITALLAH R.**, ARTIBA A. A Method to Compute Efficient 3D Helicopters Flight Trajectories Based on a Motion Polymorph-Primitives Algorithm. *International Journal of Computer, Electrical, Automation, Control and Information Engineering*, Volume : 2, Number 8, 2015.
- J8.** AIT EL CADI A., **BEN ATITALLAH R.**, HANAFI S., MLADENOVIC N., ARTIBA A. New MIP model for Multiprocessor Scheduling Problem with Communication Delays. *Journal of Optimisation Letters*, Page(s) : 1 –14, DOI : 10.1007/s11590-014-0802-2, 2014.
- J9.** **BEN ATITALLAH R.**, SENN E., CHILLET D., LANOE M., BLOUIN D. An efficient Framework for Power-Aware Design of Heterogeneous MPSoC. *IEEE Transactions on Industrial Informatics*, Volume : 9, Issue : 1, Page(s) : 487 – 501, 2013.
- J10.** ABDALLAH A., GAMATIE A., **BEN ATITALLAH R.**, DEKEYSER J-L. Abstract Clock-based Design of a JPEG Encoder. *IEEE Embedded Systems Letters*, Volume : 4, Issue : 2 Page(s) : 29 - 32, 2012.
- J11.** CHTIOUI H., NIAR S., **BEN ATITALLAH R.**, ZAHARAN M., DEKEYSER J-L., ABID M. A Dynamic Hybrid Cache Coherency Protocol for Shared-Memory MPSoC Architectures. *International Journal of Computer Applications (IJCA)*, 11, pp. 1, ISSN 0975 – 8887, 2012.
- J12.** GAMATIE A., LEBEUX S., PIEL E., **BEN ATITALLAH R.**, ETIEN A., MARQUET P., DEKEYSER J-L. A model driven design framework for regular and massively parallel embedded applications. *ACM Transactions in Embedded Computing Systems (TECS)*, volume 10, Issue 4, November 2011.
- J13.** **BEN ATITALLAH R.**, PIEL E., NIAR S., MARQUET P., DEKEYSER J-L. A Fast MPSoC Virtual Prototyping for Intensive Signal Processing Applications. *Microprocessors and Microsystems Embedded Hardware Design Journal (MICPRO)*, 36 issue 3, pp. 176–189, July 2011.
- J14.** TRABELSI C., **BEN ATITALLAH R.**, MEFTALI S., JEMAI A., DEKEYSER J-L. A Model-Driven Approach for Hybrid Power Estimation in Embedded Systems Design. *EURASIP Journal on Embedded Systems*, "2011", pp. "15", ISSN 10.1155/2011/569031, February 2011.

- C1.** BOUAIN M., BERDJAC D., FAKHFAKH N., **BEN ATITALLAH R.** Exploring High-Level Synthesis Tools For Vehicle Perception Tasks. 9th European Congress on Embedded Real Time Software and Systems, Toulouse, France, January 2018.
- C2.** BOUAIN M., BERDJAC D., FAKHFAKH N., **BEN ATITALLAH R.** An extrinsic sensor calibration framework for sensor-fusion based autonomous vehicle perception. The 14th International Conference on Informatics in Control, Automation and Robotics (ICINCO), Madrid, Spain, July 2017.
- C3.** BEN JMAA Y., ALI K., DUVIVIER D., **BEN ATITALLAH R.**, BEN JEMAA M. An efficient Hardware implementation of Timsort and Mergesort algorithms using High Level Synthesis. The 2017 International Conference on High Performance Computing & Simulation (HPCS 2017), Genoa, Italy, July 2017.
- C4.** ALI K., **BEN ATITALLAH R.**, FAKHFAKH N., DEKEYSER J-L. Exploring HLS Optimizations for Efficient Stereo Matching Hardware Implementation. 13th International Symposium on Applied Reconfigurable Computing (ARC 2017), Delft, The Netherlands, March 2017.
- C5.** CHOUCHE W., **BEN ATITALLAH R.**, DEKEYSER J-L. AFFORDe : Automatic Allocation and Floorplanning for SPMD Architecture. 10th IEEE International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc 2016), Lyon, France, September 2016.
- C6.** VISWANATHAN V., **BEN ATITALLAH R.**, Dekeyser J-L. Massively Parallel Dynamically Reconfigurable Multi-FPGA Computing System, The 22nd Annual IEEE International Symposium on Field-Programmable Custom Computing Machines (FCCM15), Vancouver, British Columbia, Canada, May 2015.
- C7.** VISWANATHAN V., **BEN ATITALLAH R.**, Dekeyser J-L. A Parallel And Scalable Multi-FPGA based Architecture for High Performance Applications, 23rd ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA 2015), Monterey, California, February 2015.
- C8.** ALI K., **BEN ATITALLAH R.**, HANAFI S., DEKEYSER J-L. A Generic Pixel Distribution Architecture for Parallel Video Processing, International Conference on ReConFigurable Computing and FPGAs (ReConFig 2014), Cancun, Mexico, December 2014.
- C9.** BEN ABDALLAH F., TRABELSI C., **BEN ATITALLAH R.**, ABED M. Early Power-aware Design Space Exploration for Embedded Systems : MPEG-2 Case Study. International Symposium on System-on-Chip 2014, Tampere, Finland, October 28-29, 2014.
- C10.** TRABELSI C., **BEN ATITALLAH R.**, MEFTALI S., DEKEYSER J-L. Model-Driven design flow for distributed control in reconfigurable FPGA systems. Conference on Design & Architectures for Signal & Image Processing (DASIP 2014), Madrid, Spain, October 2014.
- C11.** BOUAIN M., VISWANATHAN V., **BEN ATITALLAH R.**, DEKEYSER J-L. Dynamic reconfiguration of modular I/O IP cores for avionic applications, 9th International Symposium on Reconfigurable Communication-centric Systems-on-Chip (ReCoSoC'2014), Montpellier, France, May 2014.
- C12.** VISWANATHAN V., **BEN ATITALLAH R.**, DEKEYSER J-L. Redefining the role of FPGAs in the next generation avionic systems, 22nd ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA 2014), Monterey, California, February 2014.
- C13.** RETHINAGIRI S.K., PALOMAR O., UNSAL O., CRISTAL A., **BEN ATITALLAH R.**, NIAR S. PETS : Power and energy estimation tool at system-level. 15th International Symposium on Quality Electronic Design (ISQED), 2014 (ISQED 2014), CA, Santa Carla, March 2014.
- C14.** BAKLOUTI Z., DUVIVIER D., **BEN ATITALLAH R.**, ARTIBA A., BELANGER N. Real-time simulator supporting Heterogeneous CPU/FPGA architecture. International Conference on Industrial Engineering and Systems Management (IEEE IESM 2013), I4e2, Rabat, Morocco, October 2013.
- C15.** SOUISSI O., **BEN ATITALLAH R.**, DUVIVIER D., ARTIBA A., BELANGER N., FEYZEAU P. Path Planning : A 2013 Survey. International Conference on Industrial Engineering and Systems Management (IEEE IESM 2013), I4e2, Rabat, Morocco, October 2013.
- C16.** SOUISSI O., **BEN ATITALLAH R.**, DUVIVIER D., ARTIBA A. Optimization Of Matching and Scheduling On Heterogeneous CPU/FPGA Architectures. 7th IFAC Conference on Manufacturing Modelling, Management, and Control, Saint Petersburg, Russia, June 2013.
- C17.** AFONSO G., BAKLOUTI Z., DUVIVIER D., **BEN ATITALLAH R.**, BILLAUER E. HETEROGENEOUS CPU/FPGA RECONFIGURABLE COMPUTING SYSTEM FOR AVIONIC TEST APPLICATION. Reconfigurable Architectures

Workshop (RAW 2013), Boston, USA, May 2013.

C18. AFONSO G., DAMIANI N., BELANGER N., **BEN ATTALLAH R.**, RUBIO M. Hybrid and multicore optimized architectures for test and simulation systems. The 6th International ICST Conference on Simulation Tools and Techniques (SIMUTools 2013), Cannes, French Riviera, March 2013.

C19. VISWANATHAN V., **BEN ATTALLAH R.**, NAKACHE B., NAKACHE M., DEKEYSER J-L. Dynamic reconfiguration of modular I/O IP cores for avionic applications. International Conference on ReConFigurable Computing and FPGAs (ReConFig 2012), Cancun, Mexico, December 2012.

C20. SENN E., BELLEUDY C., CHILLET D., FRITSCH A., **BEN ATTALLAH R.**, ZENDRA O. "Open-People : Open Power and Energy Optimization PLatform and Estimator". 15th EUROMICRO Conference on Digital System Design (DSD'2012), Cesme, Izmir, Turkey, September 2012.

C21. SOUISSI O., **BEN ATTALLAH R.**, ARTIBA A., ELMAGHRABY S. Optimization Of Run-time Mapping On Heterogeneous CPU/FPGA Architectures. 9th International Conference on Modeling, Optimization and SIMulation (MOSIM 2012), Bordeaux, France, June 2012.

C22. RETHINAGIRI S-K., **BEN ATTALLAH R.**, SENN E., DEKEYSER J-L., NIAR S. An Efficient Power Estimation Methodology for Complex RISC Processor based Embedded Platforms. 22nd Great Lakes Symposium on VLSI (GLSVLSI 2012), Salt Lake City, Utah, USA, May 2012.

C23. MHEDBI I., **BEN ATTALLAH R.**, JEMAI A. Dynamic Slack Reclamation Strategy for Multiprocessor Systems. The 16 IEEE Mediterranean Electrotechnical Conference, Hammamet, Tunisia, March 2012.

C24. AFONSO G., **BEN ATTALLAH R.**, DEKEYSER J-L. Software Implementation vs. Hardware Implementation : The Avionic Test System Case-Study. Architectural Support for Programming Languages and Operating Systems (ASPLOS 2012), London, United Kingdom, March 2012.

C25. RETHINAGIRI S-K., **BEN ATTALLAH R.**, SENN E., NIAR S., DEKEYSER J-L. Fast and Accurate Hybrid Power Estimation Methodology for Embedded Systems. Conference on Design & Architectures for Signal & Image Processing, Tampere FL, November 2011.

C26. RETHINAGIRI S-K., **BEN ATTALLAH R.**, DEKEYSER J-L. A System Level Power Consumption Estimation for MPSoC. International Symposium on System-on-Chip 2011 (SOC 2011), Tampere, Finland, October 2011.

C27. RETHINAGIRI S-K., **BEN ATTALLAH R.**, NIAR S., SENN E., DEKEYSER J-L. Hybrid System Level Power Consumption Estimation for FPGA-Based MPSoC. International Conference on Computer Design (ICCD'11), September 2011.

C28. AFONSO G., **BEN ATTALLAH R.**, LOYER A., DEKEYSER J-L., BELANGER N., RUBIO M. A prototyping environment for high performance reconfigurable computing. 6th International Workshop on Reconfigurable and Communication-centric Systems-on-Chip, Montpellier, France, June 2011.

C29. AFONSO G., **BEN ATTALLAH R.**, BELANGER N., RUBIO M., STILKERICH S., DEKEYSER J-L. Toward Generic and Adaptive Avionic Test Systems. NASA/ESA Conference on Adaptive Hardware and Systems, San Diego, California, USA, June 2011.

C30. HARB N., NIAR S., SAGHIR M., ELHILLALI Y., **BEN ATTALLAH R.** Dynamically Reconfigurable Architecture for a Driver Assistant System. IEEE Symposium on Application Specific Processors (SASP 2011), San Diego, California, USA, June 2011.

C31. LANGE T., HARB N., NIAR S., LIU H., **BEN ATTALLAH R.** (2010). An Improved Automotive Multiple Target Tracking System Design. 13th EUROMICRO Conference on Digital System Design DSD'2010, Lille France, September 2010.

C32. AFONSO G., **BEN ATTALLAH R.**, BELANGER N., RUBIO M., DEKEYSER J-L. An Efficient Design Methodology for Hybrid Avionic Test Systems. 15th IEEE International Conference on Emerging Technologies and Factory Automation, Bilbao, Spain, January 2010.

C33. CHTIOUI H., **BEN ATTALLAH R.**, NIAR S., DEKEYSER J-L., ABID M. A Dynamic Hybrid Cache Coherency Protocol for Shared-Memory MPSoC. 12th EUROMICRO Conference on Digital System Design, University Of Patras, Greece, August 2009.

C34. DEKEYSER J-L., GAMATIE A., ETIEN A., **BEN ATTALLAH R.** Using the UML Profile for MARTE to MPSoC Co-design. First International Conference on Embedded Systems & Critical Applications, Tunisia, May 2008.

C35. **BEN ATTALLAH R.**, NIAR S., DEKEYSER J-L. MPSoC Power Estimation Framework at Transaction Level Modeling. In The 19th IEEE International Conference on Microelectronics (ICM 2007), Cairo, Egypt, December 2007.

- C36. BEN ATITALLAH R.,** PIEL E., NIAR S., MARQUET P., DEKEYSER J-L. Multilevel MPSoC simulation using an MDE approach". In IEEE International SoC Conference (SoCC 2007), Hsinchu, Taiwan, September 2007.
- C37. BEN ATITALLAH R.,** NIAR S., MEFTALI S., DEKEYSER J-L. An MPSoC performance estimation framework using transaction level modeling. In The 13th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications (RTCSA'07), Daegu, Korea, August 2007.
- C38. BEN ATITALLAH R.,** BONDE L., NIAR S., MEFTALI S., DEKEYSER J-L. Dekeyser. Multilevel MPSoC performance evaluation using MDE approach. In International Symposium on System-on-Chip 2006 (SOC 2006), Tampere, Finland, November 2006.
- C39. BEN ATITALLAH R.,** NIAR S., GREINER A., MEFTALI S., DEKEYSER J-L. Estimating energy consumption for an MPSoC architectural exploration. In Architecture of Computing Systems (ARCS'06), Frankfurt, Germany, March 2006.

SÉLECTION DE CONFÉRENCES ET WORKSHOPS NATIONAUX AVEC ACTES ET COMITÉ DE LECTURE (10)

- W1. Rethinagiri S.K.,** Palomar O., **BEN ATITALLAH R.,** Unsal O., Cristal A., Niar S. System-level power estimation tool for embedded processor based platforms. 6th Workshop on Rapid Simulation and Performance Evaluation : Methods and Tools (RAPIDO 2014) in conjunction with Hipeac conference 2014, January, Vienna, Austria.
- W2. BOUAIN M., BEN ATITALLAH R.,** MASMOUDI N., Dekeyser J-L. Design Space Exploration on Heterogeneous SoC : The H.264 encoder case-study. GdR SOC-SIP, Lyon, France, June 2013.
- W3. SENN E.,** Belleudy C., Chillet D., Fritsch A., **BEN ATITALLAH R.,** Zendra, O. Open-PEOPLE : Open Power and Energy Optimization Platform and Estimator. 14th Sophia-Antipolis Microelectronics Forum SAME 2011, Nice, France, December 2011.
- W4. AFONSO G., BEN ATITALLAH R.,** DEKEYSER J-L. A Design Environment for Reconfigurable Computing Systems. GdR SOC-SIP, Lyon, France, June 2011.
- W5. RETHINAGIRI S-K., BEN ATITALLAH R.,** NIAR S., SENN E., DEKEYSER J-L. An Effective Approach for Power Consumption Modeling of Complex Processor. GdR SOC-SIP, Lyon, France, June 2011.
- W6. LIU H.,** NIAR S., **BEN ATITALLAH R.** An efficient scalable MPSoC architecture for dynamic task distribution. PROGRAM for Research on Embedded Systems & Software, STW.ICT, Veldhoven, Nederland, November 2010.
- W7. TRABELSI C.,** MEFTALI S., **BEN ATITALLAH R.,** JEMAI A., DEKEYSER J-L., NIAR S. An MDE Approach for Energy Consumption Estimation in MPSoC Design. 2nd Workshop on Rapid Simulation and Performance Evaluation : Methods and Tools (RAPIDO 2010) in conjunction with Hipeac conference 2010, January, Pisa, Italy.
- W8. NEJI B.,** AYDI Y., BEN ATITALLAH R., MEFTALI S., ABID M., DEKEYSER J-L. Multistage Interconnection Network for MPSoC : Performances study and prototyping on FPGA. The 3rd International Design and Test Workshop, Monastir, Tunisia, December 2008.
- W9. PIEL E.,** BEN ATITALLAH R., MARQUET P., DEKEYSER J-L., BOULET P. GASPARD2 : from MARTE to SystemC Simulation. DATE'08 workshop on Modeling and Analyzis of Real-Time and Embedded Systems with the MARTE UML profile, Munich, Germany, March 2008.
- W10. CHTIOUI H.,** BEN ATITALLAH R., NIAR S., ABID M., DEKEYSER J-L. Gestion de la cohérence des caches dans les architectures MPSoC utilisant des NoC complexes. Rencontres francophones du Parallélisme (RenPar'18) / Symposium en Architecture de machines (SympA'2008) / Conférence Française sur les Systèmes d'Exploitation (CFSE'6), Fribourg, Switzerland, February 2008.

3.3 ENCADREMENT DOCTORAL ET SCIENTIFIQUE

THÈSES DE DOCTORAT (8 THÈSES SOUTENUES + 5 EN COURS)

Thèses soutenues

- 1. Santhosh Kumar Rethinagiri,** thèse soutenue le 14 mars 2013, « Une approche système pour l'estimation de la consommation de puissance des plateformes MPSoC », Université de Valenciennes et du Hainaut Cambrésis.
- Mots clés : MPSoC, simulation, TLM, modèle de puissance, exploration de l'espace de solutions architecturales.
 - Date de début : 01/12/2009 Date de fin : 14/03/2013

- Encadrement (%) : 50%
 - Nom et % des Co-directeurs : Jean-Luc Dekeyser 25%, Smail Niar 25%
 - Position actuelle : Intel Labs (Bengaluru, Inde)
- 2. George Afonso**, thèse soutenue le 02 juillet 2013, « Vers une nouvelle génération de systèmes de test et de simulation avionique dynamiquement reconfigurables », Université de Lille1.
- Mots clés : Architecture hétérogène CPU/FPGA, modèle d'exécution dynamique, changement de contexte, simulation des systèmes avioniques.
 - Date de début : 01/07/2010 Date de fin : 02/07/2013
 - Encadrement (%) : 50%
 - Nom et % des Co-directeurs : Jean-Luc Dekeyser 50%
 - Position actuelle : Ingénieur R&D chez Safran (Paris)
- 3. Feriel Ben Abdallah**, « Une méthodologie de Modélisation de la Gestion Dynamique de la Puissance pour l'exploration de l'espace de conception des Systèmes sur Puce », Telecom ParisTech.
- Mots clés : MPSoC, IDM, gestion dynamique de la fréquence, DVFS, génération automatique de code.
 - Date de début : 01/11/2010 Date de fin : 12/12/2014
 - Encadrement (%) : 50%
 - Nom et % des Co-directeurs : Mourad Abed 50%
 - Position Actuelle : Post-doc à l'École de Technologie Supérieure (ÉTS) (Montréal, Canada)
- 4. Omar Souissi**, « Système embarqué à haute performance pour le calcul de la trajectoire 3D », Université de Valenciennes et du Hainaut Cambrésis.
- Mots clés : Architecture multiprocesseur homogène et hétérogène CPU/FPGA, placement et ordonnancement, calcul de trajectoires 3D.
 - Date de début : 01/10/2011 Date de fin : 12/01/2015
 - Encadrement (%) : 35%
 - Nom et % des Co-directeurs : Abdelhakim Artiba 35%, David Duvivier 30%
 - Position actuelle : Maître assistant à l'Institut National des Postes et Télécommunications (Maroc)
- 5. Venkatasubramanian Viswanathan**, « Modèle de reconfiguration parallèle pour des architectures Multi-FPGA », Université de Valenciennes et du Hainaut-Cambrésis.
- Mots clés : Architecture Multi-FPGA, modèle de reconfiguration, gestion des E/S parallèles.
 - Date de début : 01/02/2012 Date de fin : 31/04/2015
 - Encadrement (%) : 50%
 - Nom et % des Co-directeurs : Jean-Luc Dekeyser 50%
 - Position Actuelle : Ingénieur R&D chez Mentor Graphics (Paris)
- 6. Konstanca Nikolajevic**, « Système décisionnel embarqué pour le pilotage d'un hélicoptère en situation d'autonomie d'urgence », Université de Valenciennes et du Hainaut Cambrésis.
- Mots clés : Sécurité en vol, calcul de trajectoires, supervision, système d'assistance au pilote, prise de décision.
 - Date de début : 01/11/2012 Date de fin : 03/03/2016
 - Encadrement (%) : 20%
 - Nom et % des Co-directeurs : Abdelhakim Artiba 30%, David Duvivier 50%
 - Position Actuelle : Ingénieur R&D chez Airbus Helicopters (Marignane)
- 7. Wissem Chouchene**, « Modèle de reconfiguration pour les FPGA 3D », Université de Lille1.
- Mots clés : Partitionnement automatique des zones reconfigurables, factorisation des Bitstreams partiels, grille de calcul massivement parallèle SPMD.
 - Date de début : 01/10/2013 Date de fin : 07/12/2017
 - Encadrement (%) : 50%
 - Nom et % des Co-directeurs : Jean-Luc Dekeyser 50%
 - Position Actuelle : Ingénieur R&D
- 8. Karim Mohamed Ali**, « Architectures parallèles reconfigurables pour le traitement vidéo temps-réel », Université de Valenciennes et du Hainaut Cambrésis.
- Mots clés : Voiture autonome, stéréo vision, FPGA, architecture parallèle reconfigurable, traitement vidéo temps réel, méthodologie de conception de haut niveau.

- Date de début : 01/10/2013 Date de fin : 08/02/2018
- Encadrement (%) : 70%
- Nom et % des Co-directeurs : Jean-Luc Dekeyser 30%
- Position Actuelle : Post-doctorant à l'UVHC

Thèses en cours

9. Zeineb Baklouti, « Systèmes embarqués pour l'auto-routage 3D des hélicoptères », Université de Valenciennes et du Hainaut-Cambrésis.

- Mots clés : Calcul de plan de vol, discrétisation de l'espace, graphe de navigation, calcul du plus court chemin, optimisation.
- Date de début : 01/10/2014 Date de fin : 30/04/2018
- Encadrement (%) : 50%
- Nom et % des Co-directeurs : Abdelhakim Artiba 50%

10. Yomna Ben Jmaa, « Simulation temps-réel pour les systèmes de transport intelligents », Université de Valenciennes et du Hainaut-Cambrésis.

- Mots clés : Simulation, architecture parallèle, prise de décision embarquée.
- Date de début : 01/03/2015 Date de fin : 30/06/2018
- Encadrement (%) : 50%
- Nom et % des Co-directeurs : David Duvivier 50%

11. Mokhtar Bouain, « Fusion multi-capteur pour la navigation autonome », Université de Valenciennes et du Hainaut-Cambrésis.

- Mots clés : Voiture autonome, fusion de données multi-capteur, FPGA, prise de décision.
- Date de début : 01/06/2015 Date de fin : 30/09/2018
- Encadrement (%) : 50%
- Nom et % des Co-directeurs : Denis Berdjac 50%

12. Setyawan Ajie Sukarno, « Auto-organisation automatique d'une flotte de drones en mission », Université de Valenciennes et du Hainaut-Cambrésis.

- Mots clés : Drone, affectation de mission, évitement de collision, optimisation.
- Date de début : 01/10/2015 Date de fin : 30/09/2018
- Encadrement (%) : 50%
- Nom et % des Co-directeurs : Thierry Delot 50%

13. Hortense Ollivier-Legeay, « Réalisation d'un système décisionnel embarqué pour l'aide à l'évitement de collision terrain », Université de Valenciennes et du Hainaut-Cambrésis.

- Mots clés : calcul de trajectoires, modélisation du vent, re-planification dynamique, architecture embarquée.
- Date de début : 01/10/2016 Date de fin : 30/09/2019
- Encadrement (%) : 50%
- Nom et % des Co-directeurs : David Duvivier 50%

MASTER RECHERCHE (3)

1. Zeineb Baklouti, « Supervision temps réel des systèmes hétérogènes CPU/FPGA », Université de Valenciennes et du Hainaut-Cambrésis.

- Date de début : 01/04/2012 Date de fin : 31/12/2012
- Encadrement (%) : 50%
- Nom et % des Co-directeurs : David Duvivier 50%

2. Yomna Ben Jmaa, « Gestion dynamique tension/fréquence pour les MPSoC en vue de l'optimisation de la consommation d'énergie », Université de Valenciennes et du Hainaut-Cambrésis.

- Date de début : 01/04/2012 Date de fin : 30/09/2012
- Encadrement (%) : 100%

3. Imen Mhedbi, « Exploration de politiques de gestion dynamique tension/fréquence pour les MPSoC », Université de Valenciennes et du Hainaut-Cambrésis.

- Date de début : 01/03/2011 Date de fin : 30/09/2011
- Encadrement (%) : 100%

3.4 RESPONSABILITÉS SCIENTIFIQUES

- **Animation scientifique du thème OPTIMOB (Optimisation et Mobilité)** du Département Informatique (Janvier 2016 – décembre 2017). Ce thème rassemble 8 professeurs et 9 maîtres de conférences et ma mission principale consiste à :
 - Assurer la cohérence des thématiques scientifiques du département de recherche avec le directeur et le directeur adjoint
 - Insister sur les collaborations internes et externes au sein de l'équipe
 - Monter des projets collaboratifs nationaux et internationaux
 - Organiser des séminaires de façon périodique pour des membres permanents, non-permanents (doctorants, post-doctorants, etc.) et des professeurs invités
 - Organiser de façon annuelle la journée des doctorants
 - Collecter les indicateurs de performance de l'équipe
 - Coordonner la rédaction du rapport d'activités de l'équipe pour les différentes évaluations scientifiques telle que l'évaluation du HCERES
- **Membre nommé du CNU Section 27** depuis novembre 2015, cette nomination s'est faite au terme d'un processus dont le principal critère a été les qualités scientifiques du chercheur comme précisé dans la lettre du ministère. J'ai participé à trois sessions depuis ma nomination à savoir :
 - Session Promotion/CRCT 2016 (16 dossiers)
 - Session Qualification 2017 (42 dossiers)
 - Session Promotion/CRCT 2017 (16 dossiers)
 - Session PEDR 2017 (24 dossiers)
 - Session Suivi de carrière (6 dossiers)
 - Session Qualification 2018 (40 dossiers)
- **Membre nommé du conseil du laboratoire LAMIH** depuis septembre 2015. Ce conseil dessine les orientations stratégiques du laboratoire et veille sur la mise en œuvre des décisions.

MONTAGE D'ÉQUIPE ET DE PROJET STRATÉGIQUE

- Participation au montage de la nouvelle équipe projet DreamPal au niveau de l'INRIA Lille Nord Europe en janvier 2012 en collaboration avec des collègues de l'Université de Lille1.
- Participation au montage du Laboratoire International Associée (LIA) Recherche Opérationnelle et Informatique en Transport, Mobilité et Logistique (ROI-TML) entre le Laboratoire d'Automatique de Mécanique et d'Informatique industrielles et Humaines (LAMIH), Université de Valenciennes et du Hainaut Cambrésis et le Centre inter-universitaire de recherche sur les réseaux d'entreprise, la logistique et le transport (CIRRELT), Université de Montréal.
- Membre de la commission stratégique de recherche pour le montage du projet IDEX (Initiatives d'excellence) au niveau de la région Nord-Pas-de-Calais dans le cadre de l'appel « PIA 2014 ».
- Participation au montage du nouveau Contrat de Plan État-Région (CPER) Écomobilité, Logistique, Sécurité, Adaptabilité des Transports à l'horizon 2020 (ELSAT). (Financement obtenu 12 M€)

ORGANISATION DE CONGRÈS

- Membre du comité d'organisation et de pilotage de la conférence 13th International Symposium on Reconfigurable Communication-centric Systems-on-Chip (ReCoSoC 2018), 9-11 juillet, Lille.
- Membre du comité d'organisation de la 4th IEEE International Conference on Advanced Logistics and Transport (IEEE ICALT'2015), 20-22 mai 2015 à Valenciennes.
- Membre du comité d'organisation des Journées scientifiques des Produits Intelligents (JPI 2015) à Valenciennes, 18-19 mars 2015.

- Membre du comité d'organisation des journées francophones Green Days@Rennes (1-2 juillet 2014). Ces journées francophones sont organisées dans le cadre de l'action d'envergure Inria Hemera et de l'action transversale Energie et le Pôle Système du GDR ASR.
- Membre du comité d'organisation du workshop RAPIDO 2010/2011 en conjonction avec la conférence HiPEAC.
- Membre du comité d'organisation de Euromicro DSD et SEAA 2010 organisées à Lille en septembre 2010.

RESPONSABILITÉ DE CONTRATS INDUSTRIELS OU PUBLICS

- Montage et pilotage du projet ANR-ARPEGE OpenPeople (2008-2012) au niveau de l'INRIA Lille Nord Europe (thèse Santhosh Kumar Rethinagiri) (Financement : 186 K€)
- Montage et pilotage de la CIFRE EADS IW/UVHC/INRIA (2010-2013) (thèse George Afonso) (Financement : 30 K€)
- Montage et pilotage de la CIFRE UVHC/Nolam Embedded Systems (2011-2015) (thèse Venkatasubramanian Viswanathan) (Financement : 10 K€)
- Montage et pilotage du contrat de collaboration UVHC/Airbus Helicopters (2011-2015) (thèse Omar Souissi) (Financement : 70 K€)
- Montage et pilotage de la CIFRE UVHC/Airbus Helicopters (2012-2015) (thèse Konstanca Nikolajevic) (Financement : 70 K€)
- Montage et pilotage du contrat post-doctorant (Abdessamad Ait El Kadi) dans le cadre de l'IRT Railenium (2013-2014) (Financement : 110 K€)
- Montage et pilotage du projet de transfert technologique VALUTEC-UVHC/Airbus Helicopters (2014) (Financement : 28 K€)
- Montage et pilotage du contrat de collaboration UVHC/Airbus Helicopters (2014-2017) au niveau de l'Université de Valenciennes (thèse Zeineb Baklouti) (Financement : 90 K€)
- Montage et pilotage du contrat de collaboration UVHC/Navya (2014-2017) au niveau de l'Université de Valenciennes (thèse Karim Ali) (Financement : 25 K€)
- Participation au montage du projet franco-indonésien PHC NUSANTARA en collaboration avec l'Université d'Indonésie (2016-2017) (Financement : 20 K€)
- Montage et pilotage de la CIFRE UVHC/Airbus Helicopters (2016-2019) (thèse Hortense Ollivier-Legeay) (Financement : 86 K€)
- Montage et pilotage du projet régional Start-AIRR (Actions d'initiatives Régionales pour la Recherche) TASTE (2017-2018) (Financement : 100 K€)

ÉVALUATION DE PROJETS INTERNATIONAUX :

- Évaluation d'un projet international « Flight Trajectory Optimization » pour le Conseil de recherches en sciences naturelles et en génie du Canada, Mai 2013.
- Évaluation d'un projet international « Reconfigurable Computing systems for Smart Infrared Cameras » pour le « Chilean National Science and Technology Commission » (CONICYT - Chile), Novembre 2014.

3.5 RAYONNEMENT SCIENTIFIQUE

DISTINCTION :

- **Prix de la créativité 2017** : de la Fédération de Recherche Transports Terrestres & Mobilité CNRS 3733, pour les trois brevets déposés avec Airbus Helicopters dans le thème « Nouvelle génération d'outils de test et de simulation pour les systèmes de transport ».
- **Membre nommé du CNU Section 27 depuis novembre 2015**, cette nomination s'est faite au terme d'un processus dont le principal critère a été les qualités scientifiques du chercheur comme précisé dans la lettre du ministère.
- **HiPEAC paper award** : « Massively Parallel Dynamically Reconfigurable Multi-FPGA Computing System » and published in The 22nd Annual IEEE International Symposium on Field-Programmable Custom Computing

Machines (FCCM15), Vancouver, British Columbia, Canada, May 2015. VISWANATHAN V., BEN ATITALLAH R., Dekeyser J-L.

- **Membre nommé de la commission stratégique de recherche** pour le montage du projet IDEX (Initiatives d'excellence) au niveau de la région Nord-Pas-de-Calais dans le cadre de l'appel « PIA 2014 ».
- **Best paper award** : à la 29th IEEE International Conference on Computer Design (ICCD 2011) pour le papier RETHINAGIRI S-K., **BEN ATITALLAH R.**, NIAR S., SENN E., DEKEYSER J-L. Hybrid System Level Power Consumption Estimation for FPGA-Based MPSoC, September 2011.

SÉJOURS À L'ÉTRANGER COMME PROFESSEUR INVITÉ :

- Décembre 2017 – janvier 2018 : chercheur invité à l'Université d'Indonésie dans le cadre du projet franco-indonésien PHC NUSANTARA, collaboration avec le Professeur Abdul Muis.
- Octobre 2017 : chercheur invité à l'Université Laval, collaboration avec le Professeur Jean-François Côté.
- Mars 2017 : chercheur invité au CIRRELT, Université de Montréal dans le cadre du LIA CNRS ROI-TML, collaboration avec le Professeur Bernard Gendron.
- Janvier 2017 : chercheur invité au CIRRELT, Université de Montréal dans le cadre du LIA CNRS ROI-TML, collaboration avec le Professeur Bernard Gendron.
- Décembre 2016 : chercheur invité à l'Université d'Indonésie dans le cadre du projet franco-indonésien PHC NUSANTARA, collaboration avec le Professeur Abdul Muis.
- Octobre 2016 : conférencier invité à l'Institut National des Sciences Appliquées et de Technologie (INSAT), Tunisie.

SÉLECTION DE SÉMINAIRES ET TUTORIAUX :

- Rabie Ben Atitallah, « ViPar : Design space exploration for parallel reconfigurable architectures », Maison Internationale de la Recherche (MIR), Université de Cergy-Pontoise, décembre 2017, séminaire dans le cadre d'une journée thématique du GdR SCOC2.
- Rabie Ben Atitallah, « FPGA-Centric High Performance Embedded Computing : Challenges and Trends », keynote pour la session « Architectures & Systems for Automotive & Intelligent Transportations (ASAIT) » à Euromicro DSD 2017, Viennes, Autriche.
- Rabie Ben Atitallah. "High performance embedded computing for intelligent transportation systems " à l'Université d'Indonésie, décembre 2016.
- Rabie Ben Atitallah. "High performance and energy-efficient embedded systems design" à l'INSAT, octobre 2016.
- Rabie Ben Atitallah. "Un modèle de fonctionnement SPMD à base d'IPS". Ecole d'hiver Francophone sur les Technologies de Conception des Systèmes embarqués Hétérogènes (FETCH 2012), Janvier Alpe D'Huez, France.
- Rabie Ben Atitallah, "Model homogenization for power estimation and design exploration". International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS 2011), Tutorial session, septembre 2011, Madrid, Spain.
- Rabie Ben Atitallah. Simulation des systèmes MPSoC. GdR ASR : Journée jeunes chercheurs sur les Multiprocesseurs et Multicoeurs, Paris, France, juin 2009.

VULGARISATION GRAND PUBLIC :

- « Airbus Helicopters fait son marché à l'université du Mont-Houy », Article Voix du Nord du 17 septembre 2015. Un article pour le grand public qui valorise la collaboration que je coordonne entre le groupe Airbus Helicopters et l'université de Valenciennes. <http://www.univ-valenciennes.fr/actualites/newsletter/airbus-helicopteres-fait-son-marche-a-l-universite-du-mont-houy.pdf>
- Démonstration de la navette autonome en collaboration avec Navya sur le site du campus Mont Houy dans le cadre des Journées scientifiques des Produits Intelligents (JPI 2015) à Valenciennes, 18-19 mars 2015. <https://www.youtube.com/watch?v=Ca8b0xR0CNY>

- « Une navette électrique sans chauffeur a roulé hier sur le campus », Article Voix du Nord du 19 mars 2015. Un article qui décrit la collaboration que je coordonne entre la société NAVYA et l'université de Valenciennes. <http://www.univ-valenciennes.fr/actualites/newsletter/une-navette-electrique-sans-chauffeur-a-roule-hier-sur-le-campus.pdf>
- Démonstration de la plateforme Open Power and Energy Optimization Platform and Estimator (Open-PEOPLE) à Design, Automation & Test in Europe (DATE 2011), University Booth, Grenoble, France, March 2011.
- Démonstration de la plateforme Open-PEOPLE à 14th Sophia-Antipolis Microelectronics Forum SAME 2011, Nice, France, December, 2011.

COLLABORATIONS ACADÉMIQUES ET INDUSTRIELLES AVEC DIFFUSIONS SCIENTIFIQUES :

Collaborations académiques nationales :

- CRISTAL, Université de Lille 1 : encadrements, publications et organisation d'événements scientifiques dans le cadre des projets ANR OpenPeople, CIFRE EADS IW, CIFRE NOLAM Embedded Systems
- INRIA équipes CAIRN et TRIO : tutoriaux et publications dans le cadre du projet ANR OpenPeople
- LEAT, Université de Nice Sophia-Antipolis : encadrement de master recherche et publication dans le cadre du projet ANR OpenPeople
- LAB-STICC, Université de Bretagne-Sud : tutoriaux et publications dans le cadre du projet ANR OpenPeople
- IEMN, UVHC : publication dans le cadre du projet ANR PRIMA-CARE

Collaborations académiques internationales :

- CIRRELT, Université de Montréal : Montage de projet international ANR ANR/CRSNG dans le cadre du LIA CNRS ROI-TML
- Université Laval à Québec : Co-encadrement de thèse, montage de projet FFCR (Fonds France Canada pour la recherche)
- Université d'Indonésie : Co-encadrement de thèse, montage de projet PHC NUSANTARA édition 2016
- Université Technologique de Delft (TU Delft) : publication dans le cadre de collaboration avec le laboratoire Software Engineering Research Group.
- North Carolina State University : encadrement et publication, financement UVHC (professeur invité)
- New York University : publication, financement UVHC (professeur invité)
- Ecole Nationale d'Ingénieurs de Sfax (ENIS) : encadrement et publications dans le cadre du projet STIC INRIA
- Institut National des Sciences Appliquées et de Technologie (INSAT), Tunis : encadrement et publications dans le cadre du projet INRIA Euromed 3+3.

Collaboration industrielles :

- EADS IW (Airbus Group) (France et Allemagne) : encadrement, brevet et publications dans le cadre de la CIFRE EADS IW/UVHC/INRIA
- Airbus Helicopters : encadrement, publications et brevet dans le cadre des contrats de collaboration UVHC/Eurocopter
- Navya : encadrement et publications dans le cadre des thèses de Karim Ali et Mokhtar Bouain
- Nolam Embedded Systems : encadrement et publications dans le cadre de la CIFRE UVHC/Nolam
- Thales Communication : publications et tutoriaux dans le cadre du projet ANR OpenPeople

TRANSFERT TECHNOLOGIQUE :

- Projet de transfert technologique à travers la composante VALUTEC SA (Filiale de l'Université de Valenciennes et du Hainaut Cambrésis) pour la réalisation d'un environnement d'exploration de l'espace de solutions pour la génération d'un plan de vol optimal (DTANAV). Ce projet est financé par Airbus Helicopters pour une durée de huit mois à partir de mars 2014. Il vise la diffusion d'un outil logiciel développé au sein du

- laboratoire dans le cadre de projets de recherche avec un niveau de maturité élevé. (Financement : 28 K€)
- Projet de transfert technologique ETHERNET-10G en collaboration avec Alcatel pour l'implémentation d'un protocole à haut débit sur FPGA. Ce projet est financé par Groupe Serma pour une durée de huit mois à partir de juin 2015. (Financement : 56 K€)